

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022052

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H01L 23/29

H01L 23/31

H01L 21/60

H01L 23/12

(21)Application number : 10-198127

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 30.06.1998

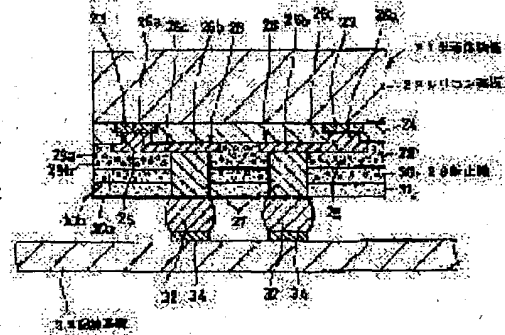
(72)Inventor : MIHARA ICHIRO
WAKABAYASHI TAKESHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To lessen stress caused by a thermal expansion coefficient difference between a silicon board and a sealing film in a semiconductor device, wherein the semiconductor device called a CSP(chip size package) is mounted on a wiring board by a mounting technique called a face-down bonding method.

SOLUTION: A sealing film 28 is of three-layered structure composed of, in the order from a silicon board, a lower sealing film 29 having a large amount of silica particles 30 mixed in epoxy resin 29a, an intermediate sealing film 30 having a small amount of silica particles 30a mixed in the epoxy resin 29a, and an upper sealing film 31 formed of only epoxy resin. In this case, the thermal expansion coefficient of the lower sealing film 29 is set close to that of the silicon board 22. The thermal expansion coefficient of the intermediate sealing film 30 is set intermediate between those of the lower and upper sealing film, 29 and 31.



LEGAL STATUS

[Date of request for examination]

13.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

3287310

[Date of registration]

15.03.2002

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-22052
(P2000-22052A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト^{*} (参考)

H 0 1 L 23/29

H 0 1 L 23/30

D 4M105

23/31

21/60

3 1 1 Q 4M109

21/60

3 1 1

23/12

L

23/12

23/30

B

審査請求 未請求 請求項の数10 F D (全 7 頁)

(21) 出願番号

特願平10-198127

(22) 出願日

平成10年6月30日 (1998. 6. 30)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 三原 一郎

東京都青梅市今井3丁目10番地6 カシオ
計算機株式会社青梅事業所内

(72) 発明者 若林 猛

東京都青梅市今井3丁目10番地6 カシオ
計算機株式会社青梅事業所内

(74) 代理人 100074985

弁理士 杉村 次郎

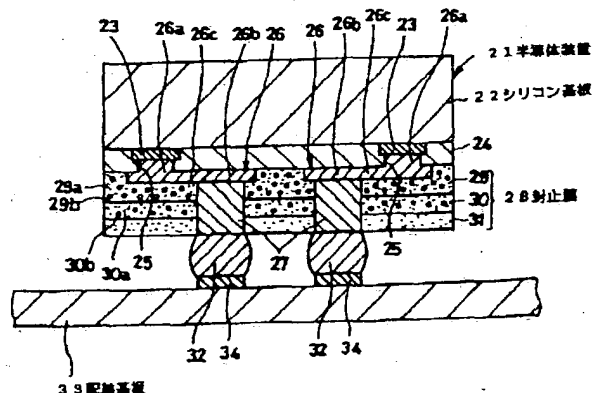
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 CSP (Chip Size Package) と呼ばれる半導体装置を配線基板上にフェイスダウンボンディング方式と呼ばれる実装技術により実装したもののにおいて、半導体装置のシリコン基板と封止膜との熱膨張係数差に起因する応力を小さくする。

【解決手段】 封止膜28は、シリコン基板22側から順に、エポキシ樹脂29a中にシリカ粒子29aが多く混入されてなる下側封止膜29と、エポキシ樹脂30a中にシリカ粒子30aが少し混入されてなる中間封止膜30と、エポキシ樹脂のみからなる上側封止膜31との3層構造となっている。この場合、下側封止膜29の熱膨張係数はシリコン基板22の熱膨張係数に近い値とされている。中間封止膜30の熱膨張係数は、下側封止膜29の熱膨張係数と上側封止膜31の熱膨張係数との中間の値とされている。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された絶縁膜に形成された開口部を介して接続パッドが露出され、前記接続パッド上から前記絶縁膜上にかけて接続パッド部を有する配線が形成され、前記配線の接続パッド部に電極が形成され、前記電極を除く前記絶縁膜上に封止膜が形成された半導体装置において、前記封止膜の特性がその厚さ方向で異なり、該封止膜の前記絶縁膜側の特性が前記半導体基板の特性に近くなっていることを特徴とする半導体装置。

【請求項2】 請求項1記載の発明において、前記特性は熱膨張係数であることを特徴とする半導体装置。

【請求項3】 請求項2記載の発明において、前記封止膜は、少なくとも、樹脂中に熱膨張係数低下用粒子が混入されたものからなり、熱膨張係数を前記半導体基板の熱膨張係数に近い値とされた下側封止膜と、樹脂中に熱膨張係数低下用粒子が混入されたものからなり、熱膨張係数を樹脂の熱膨張係数よりも小さく且つ前記下側封止膜の熱膨張係数よりも大きい値とされた中間封止膜と、樹脂のみからなる上側封止膜とを有することを特徴とする半導体装置。

【請求項4】 請求項2記載の発明において、前記封止膜は、径の異なる複数種類の熱膨張係数低下用粒子が混入された単一の樹脂膜からなっていると同時に、その熱膨張係数が表面側から前記絶縁膜側に向かうに従って漸次小さくなっていることを特徴とする半導体装置。

【請求項5】 請求項2記載の発明において、前記封止膜は、径の異なる複数種類の熱膨張係数低下用粒子が混入された単一の樹脂膜からなっていると同時に、この樹脂膜中における前記熱膨張係数低下用粒子の体積比が表面側から前記絶縁膜側に向かうに従って漸次大きくなっていることを特徴とする半導体装置。

【請求項6】 請求項3～5のいずれかに記載の発明において、前記熱膨張係数低下用粒子はシリカ粒子であることを特徴とする半導体装置。

【請求項7】 半導体基板上に形成された絶縁膜に形成された開口部を介して接続パッドが露出され、前記接続パッド上から前記絶縁膜上にかけて接続パッド部を有する配線が形成され、前記配線の接続パッド部に電極が形成され、前記電極を除く前記絶縁膜上に封止膜が形成された半導体装置の製造に際し、前記電極を除く前記絶縁膜上に、少なくとも、樹脂中に熱膨張係数低下用粒子が混入されたものからなり、熱膨張係数を前記半導体基板の熱膨張係数に近い値とされた下側封止膜と、樹脂中に熱膨張係数低下用粒子が混入されたものからなり、熱膨張係数を樹脂の熱膨張係数よりも小さく且つ前記下側封止膜の熱膨張係数よりも大きい値とされた中間封止膜と、樹脂のみからなる上側封止膜とを形成して、これらの封止膜により前記封止膜を形成することを特徴とする半導体装置の製造方法。

【請求項8】 半導体基板上に形成された絶縁膜に形成された開口部を介して接続パッドが露出され、前記接続パッド上から前記絶縁膜上にかけて接続パッド部を有する配線が形成され、前記配線の接続パッド部に電極が形成され、前記電極を除く前記絶縁膜上に封止膜が形成された半導体装置の製造に際し、前記電極を除く前記絶縁膜上に、径の異なる複数種類の熱膨張係数低下用粒子が混入された単一の樹脂膜を形成し、次いでこの熱膨張係数低下用粒子の混入された樹脂膜の熱膨張係数を表面側から前記絶縁膜側に向かうに従って漸次小さくなるようにし、これにより前記封止膜を形成することを特徴とする半導体装置の製造方法。

【請求項9】 半導体基板上に形成された絶縁膜に形成された開口部を介して接続パッドが露出され、前記接続パッド上から前記絶縁膜上にかけて接続パッド部を有する配線が形成され、前記配線の接続パッド部に電極が形成され、前記電極を除く前記絶縁膜上に封止膜が形成された半導体装置の製造に際し、前記電極を除く前記絶縁膜上に、径の異なる複数種類の熱膨張係数低下用粒子が混入された単一の樹脂膜を形成し、次いでこの樹脂膜中における前記熱膨張係数低下用粒子の体積比を表面側から前記絶縁膜側に向かうに従って漸次大きくなるようにし、これにより前記封止膜を形成することを特徴とする半導体装置の製造方法。

【請求項10】 請求項7～9のいずれかに記載の発明において、前記熱膨張係数低下用粒子はシリカ粒子であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 例えば、CSP (Chip Size Package) と呼ばれる半導体装置を配線基板上にフェイスダウンボンディング方式と呼ばれる実装技術により実装することがある。図8は従来のこのような半導体装置の実装構造の一例の断面図を示したものである。半導体装置1は平面形状のシリコン基板2を備えている。シリコン基板2の下面の外周部には複数の接続パッド3が形成されている。接続パッド3の中央部を除くシリコン基板2の下面全体には絶縁膜4が形成され、接続パッド3の中央部が絶縁膜4に形成された開口部5を介して露出されている。この露出された接続パッド3の下面から絶縁膜4の下面にかけて配線（下地金属層）、6が形成されている。この場合、配線6は、接続パッド3下に形成された接続部6aと、絶縁膜4の下面の所定の箇所に形成された接続パッド部6bと、その間に形成された引き回し線6cとからなっている。接続パッド部6bの下面には銅や金等からなる柱状電極7が形成されている。柱状電極7を除く絶縁膜4の下面にはエポキシ樹脂からなる封止膜8

が形成されている。柱状電極7の下面には半田バンプ9が形成されている。そして、半導体装置1の半田バンプ9がガラスエポキシ等からなる配線基板10の上面に形成された接続パッド11にフェイスダウンボンディングされていることにより、半導体装置1は配線基板10上に実装されている。なお、一例として、封止膜8の絶縁膜4下における厚さは50～100 μ m程度であり、半田バンプ9のボンディング後における高さは80 μ m程度である。

【0003】

【発明が解決しようとする課題】ところで、シリコン基板2を構成するシリコンの熱膨張係数は2～3ppm/℃程度であり、封止膜8を構成する封止樹脂の熱膨張係数は10～15ppm/℃程度であり、配線基板10を構成する例えばガラスエポキシの熱膨張係数は15ppm/℃程度である。このように、封止膜8の熱膨張係数は、配線基板10の熱膨張係数に近い値であり、シリコン基板2の熱膨張係数との差が比較的大きい。この結果、温度変化により、シリコン基板2と封止膜8との間にその熱膨張係数差に起因する比較的大きな応力が生じたとき、柱状電極7と半田バンプ9との接合部分あるいは半田バンプ9と接続パッド11との接合部分にクラックが発生し、接合不良が生じることがあるという問題があった。この発明の課題は、シリコン基板（半導体基板）と封止膜との熱膨張係数差等の特性差に起因する応力を小さくすることである。

【0004】

【課題を解決するための手段】請求項1記載の発明に係る半導体装置は、半導体基板上に形成された絶縁膜に形成された開口部を介して接続パッドが露出され、前記接続パッド上から前記絶縁膜上にかけて接続パッド部を有する配線が形成され、前記配線の接続パッド部に電極が形成され、前記電極を除く前記絶縁膜上に封止膜が形成された半導体装置において、前記封止膜の特性をその厚さ方向で異ならせ、該封止膜の前記絶縁膜側の特性を前記半導体基板の特性に近づけたものである。請求項2記載の発明に係る半導体装置は、請求項1記載の発明において、前記特性が熱膨張係数であることを特徴とするものである。請求項7記載の発明に係る半導体装置の製造方法は、半導体基板上に形成された絶縁膜に形成された開口部を介して接続パッドが露出され、前記接続パッド上から前記絶縁膜上にかけて接続パッド部を有する配線が形成され、前記配線の接続パッド部に電極が形成され、前記電極を除く前記絶縁膜上に封止膜が形成された半導体装置の製造に際し、前記電極を除く前記絶縁膜上に、少なくとも、樹脂中に熱膨張係数低下用粒子が混入されたものからなり、熱膨張係数を前記半導体基板の熱膨張係数に近い値とされた下側封止膜と、樹脂中に熱膨張係数低下用粒子が混入されたものからなり、熱膨張係数を樹脂の熱膨張係数よりも小さく且つ前記下側封止

膜の熱膨張係数よりも大きい値とされた中間封止膜と、樹脂のみからなる上側封止膜とを形成して、これらの封止膜により前記封止膜を形成するようにしたものである。請求項8記載の発明に係る半導体装置の製造方法は、半導体基板上に形成された絶縁膜に形成された開口部を介して接続パッドが露出され、前記接続パッド上から前記絶縁膜上にかけて接続パッド部を有する配線が形成され、前記配線の接続パッド部に電極が形成され、前記電極を除く前記絶縁膜上に封止膜が形成された半導体装置の製造に際し、前記電極を除く前記絶縁膜上に、径の異なる複数種類の熱膨張係数低下用粒子が混入された単一の樹脂膜を形成し、次いでこの熱膨張係数低下用粒子の混入された樹脂膜の熱膨張係数を表面側から前記絶縁膜側に向かうに従って漸次小さくするようにし、これにより前記封止膜を形成するようにしたものである。請求項9記載の発明に係る半導体装置の製造方法は、半導体基板上に形成された絶縁膜に形成された開口部を介して接続パッドが露出され、前記接続パッド上から前記絶縁膜上にかけて接続パッド部を有する配線が形成され、前記配線の接続パッド部に電極が形成され、前記電極を除く前記絶縁膜上に封止膜が形成された半導体装置の製造に際し、前記電極を除く前記絶縁膜上に、径の異なる複数種類の熱膨張係数低下用粒子が混入された単一の樹脂膜を形成し、次いでこの樹脂膜中における前記熱膨張係数低下用粒子の体積比を表面側から前記絶縁膜側に向かうに従って漸次大きくするようにし、これにより前記封止膜を形成するようにしたものである。この発明によれば、封止膜の熱膨張係数等の特性をその厚さ方向で異ならせ、封止膜の絶縁膜側の熱膨張係数等の特性を半導体基板の熱膨張係数等の特性に近づけているので、半導体基板と封止膜との熱膨張係数差等の特性差に起因する応力を小さくすることができる。

【0005】

【発明の実施の形態】図1はこの発明の第1実施形態における半導体装置の実装構造の断面図を示したものである。半導体装置21は平面形状のシリコン基板22を備えている。シリコン基板22の下面の外周部には複数の接続パッド23が形成されている。接続パッド23の中央部を除くシリコン基板22の下面全体には絶縁膜24が形成され、接続パッド23の中央部が絶縁膜24に形成された開口部25を介して露出されている。この露出された接続パッド23の下面から絶縁膜24の下面にかけて配線（下地金属層）26が形成されている。この場合、配線26は、接続パッド23下に形成された接続部26aと、絶縁膜24の下面の所定の箇所に形成された接続パッド部26bと、その間に形成された引き回し線26cとからなっている。接続パッド部26bの下面には銅や金等からなる柱状電極27が形成されている。

【0006】柱状電極27を除く絶縁膜24の下面には封止膜28が形成されている。封止膜28は、絶縁膜2

4側から順に、エポキシ樹脂29a中にシリカ粒子29bを混入してなる下側封止膜29、エポキシ樹脂30a中にシリカ粒子30bを混入してなる中間封止膜30、エポキシ樹脂のみからなる上側封止膜31の3層構造となっている。この場合、シリカ粒子29b、30bは熱膨張係数を低下させるためのものであり、その径は同じであるが、シリカ粒子29bのエポキシ樹脂29a中への混入率がシリカ粒子30bのエポキシ樹脂30a中への混入率よりも大きくなっている。これにより、下側封止膜29の熱膨張係数はシリコン基板22の熱膨張係数に近い値となっている。また、中間封止膜30の熱膨張係数は、エポキシ樹脂の熱膨張係数よりも小さく且つ下側封止膜29の熱膨張係数よりも大きい値となっている。この場合、封止膜28が3層構造であるので、中間封止膜30の熱膨張係数は、下側封止膜29の熱膨張係数と上側封止膜31の熱膨張係数との中間の値となっている。さらに、上側封止膜31の熱膨張係数は、エポキシ樹脂のみからなるので、後述する配線基板33を構成する例えばガラスエポキシの熱膨張係数に近い値となっている。

【0007】柱状電極27の下面には半田バンプ32が形成されている。そして、半導体装置21の半田バンプ32がガラスエポキシ等からなる配線基板33の上面に形成された接続パッド34にフェイスダウンボンディングされていることにより、半導体装置21は配線基板33上に実装されている。そして、この場合も、一例として、封止膜28の絶縁膜24下における厚さは50~100 μ m程度であり、半田バンプ32のボンディング後における高さは80 μ m程度である。

【0008】このように、この半導体装置の実装構造では、封止膜28を、熱膨張係数をシリコン基板22の熱膨張係数に近い値とされた下側封止膜29と、熱膨張係数を下側封止膜29の熱膨張係数と上側封止膜31の熱膨張係数との中間の値とされた中間封止膜30と、熱膨張係数を配線基板33の熱膨張係数に近い値とされた上側封止膜31との3層構造としている。この結果、温度変化により、シリコン基板22と封止膜28との間にその熱膨張係数差に起因する応力が生じても、封止膜28のうちシリコン基板22側の下側封止膜29とシリコン基板22との熱膨張係数差に起因する応力を小さくすることができ、ひいては柱状電極27と半田バンプ32との接合部分あるいは半田バンプ32と接続パッド34との接合部分にクラックが発生することがなく、接合の信頼性を高めることができる。

【0009】次に、図1に示す半導体装置21の製造方法の一例について、図2~図6を順に参照して説明する。まず、図2に示すように、ウエハ状態のシリコン基板22の上面に接続パッド23が形成され、その上面の接続パッド23の中央部を除く部分に絶縁膜24が形成され、絶縁膜24に形成された開口部25を介して露出

された接続パッド23の上面から絶縁膜24の上面にかけて配線26が形成され、配線26の接続パッド部の上面に柱状電極27が形成されたものを用意する。

【0010】次に、図3に示すように、柱状電極27を除く絶縁膜24の上面に、エポキシ樹脂29a中にシリカ粒子29bを比較的多く混入してなるものをディスペンサ法やスピコート法等によって塗布して硬化させることにより、下側封止膜29を形成する。次に、図4に示すように、柱状電極27を除く下側封止膜29の上面に、エポキシ樹脂30a中にシリカ粒子30bを比較的少なく混入してなるものをディスペンサ法やスピコート法等によって塗布して硬化させることにより、中間封止膜30を形成する。次に、図5に示すように、柱状電極27を除く中間封止膜30の上面に、エポキシ樹脂をディスペンサ法やスピコート法等によって塗布して硬化させることにより、上側封止膜31を形成する。この状態において、柱状電極27の上面が上側封止膜31によつ覆われた場合には、表面を軽く研磨することにより、柱状電極27の上面を露出させる。次に、図6に示すように、柱状電極27の上面に半田バンプ32を形成する。次に、ダイシング工程を経ると、図1に示す半導体装置21が得られる。

【0011】なお、下側封止膜29、中間封止膜30及び上側封止膜31をそれぞれ塗布してから、これらを同時に硬化させるようにしてもよい。また、上記第1実施形態では、シリカ粒子29b、30bの径を同じとした場合について説明したが、これに限らず、シリカ粒子29b、30bの径を異ならせてもよい。この場合、シリカ粒子29bの径をシリカ粒子30bの径よりも大きくしても小さくしてもよい。ただし、下側封止膜29中におけるシリカ粒子29bの体積比を中間封止膜30中におけるシリカ粒子30bの体積比よりも大きくする。さらに、上記第1実施形態では、封止膜28を3層構造とした場合について説明したが、それ以上の層構造としてもよい。

【0012】次に、図7はこの発明の第2実施形態における半導体装置の実装構造の要部の断面図を示したものである。この図において、図1と同一名称部分には同一の符号を付し、その説明を適宜省略する。この第2実施形態における封止膜28は、エポキシ樹脂41中に大中小の径の異なる3種類のシリカ粒子42、43、44が混入されたものによって形成された単一の樹脂膜からなっている。ただし、この場合の封止膜28は、絶縁膜24側から順に、エポキシ樹脂41中に主として大径のシリカ粒子42が混入されたものからなる第1の封止層45と、エポキシ樹脂41中に主として中径のシリカ粒子43が混入されたものからなる第2の封止層46と、エポキシ樹脂41中に主として小径のシリカ粒子28bが混入されたものからなる第3の封止層47と、エポキシ樹脂41中にシリカ粒子42、43、44がほとんど含

まれな第4の封止層48との4層構造となっているということもできる。すなわち、エポキシ樹脂41中におけるシリカ粒子42、43、44の体積比は、表面側から絶縁膜24側に向かうに従って漸次大きくなっている。

【0013】次に、この第2実施形態における半導体装置21の製造方法の一例について説明する。まず、例えば図2に示すものを用意する。次に、図示していないが、柱状電極27を除く絶縁膜24の上面に、エポキシ樹脂41中に大中小の径の異なる3種類のシリカ粒子42、43、44を混入してなるものをディスペンサ法やスピンコート法等によって塗布し、そのまま適当な時間放置する。すると、3種類のシリカ粒子42、43、44は自重により径が大きいものほど深く沈み、エポキシ樹脂41中に主として大径のシリカ粒子42が混入されたものからなる第1の封止層45と、エポキシ樹脂41中に主として中径のシリカ粒子43が混入されたものからなる第2の封止層46と、エポキシ樹脂41中に主として小径のシリカ粒子44が混入されたものからなる第3の封止層47と、エポキシ樹脂41中にシリカ粒子42、43、44がほとんど含まれない第4の封止層48との4層が形成される。次に、エポキシ樹脂41を硬化させる。次に、柱状電極27の上面に半田バンプ32を形成する。次に、ダイシング工程を経ると、図7に示す半導体装置21が得られる。

【0014】次に、この第2実施形態における半導体装置21の製造方法の他の例について説明する。まず、例えば図2に示すものを用意する。次に、図示していないが、柱状電極27を除く絶縁膜24の上面に、エポキシ樹脂41中に大中小の径の異なる3種類のシリカ粒子42、43、44を混入してなるものをディスペンサ法やスピンコート法等によって塗布する。次に、遠心力を作用させることにより、塗布したエポキシ樹脂41の表面側に3種類のシリカ粒子28b、28c、28dを集める。次に、適当な時間放置する。すると、3種類のシリカ粒子42、43、44は自重により径が大きいものほど深く沈み、エポキシ樹脂41中に主として大径のシリカ粒子42が混入されたものからなる第1の封止層45と、エポキシ樹脂41中に主として中径のシリカ粒子43が混入されたものからなる第2の封止層46と、エポキシ樹脂41中に主として小径のシリカ粒子44が混入されたものからなる第3の封止層47と、エポキシ樹脂41中にシリカ粒子42、43、44がほとんど含まれない第4の封止層48との4層が形成される。次に、エポキシ樹脂41を硬化させる。次に、柱状電極27の上面に半田バンプ32を形成する。次に、ダイシング工程を経ると、図7に示す半導体装置21が得られる。

【0015】なお、上記第2実施形態では、径の異なる3種類のシリカ粒子を用い、封止膜28を4層構造とした場合について説明したが、これに限らず、径の異なる

4種類以上のシリカ粒子を用い、封止膜28を5層以上の構造としてもよい。また、上記各実施形態では、半田バンプ32を半導体装置21の柱状電極27上に形成した場合について説明したが、これに限らず、配線基板33の接続パッド34上に形成するようにしてもよい。さらに、上記各製造方法では、ウエハ状態のシリコン基板21上に封止膜28を形成し、ダイシングして個々のチップに分断する場合について説明したが、これに限らず、チップ状態のシリコン基板21上に封止膜28を形成するようにしてもよい。この場合、封止材料がチップ状態のシリコン基板21上から流れ落ちないようにするために、例えば、チップ状態のシリコン基板21上の周囲にエポキシ樹脂等からなる枠状のものを貼り付けるようにしてもよい。

【0016】

【発明の効果】以上説明したように、この発明によれば、封止膜の熱膨張係数等の特性をその厚さ方向で異ならせ、封止膜の絶縁膜側の熱膨張係数等の特性を半導体基板の熱膨張係数等の特性に近づけているので、半導体基板と封止膜との熱膨張係数差等の特性差に起因する応力を小さくすることができ、したがって温度変化が生じても、半導体基板と配線基板との接合部分にクラックが発生することがなく、接合の信頼性を高めることができる。

【図面の簡単な説明】

【図1】この発明の第1実施形態における半導体装置の実装構造の断面図。

【図2】図1に示す半導体装置の製造に際し、当初用意したものの一部の断面図。

【図3】図2に続く製造工程の断面図。

【図4】図3に続く製造工程の断面図。

【図5】図4に続く製造工程の断面図。

【図6】図5に続く製造工程の断面図。

【図7】この発明の第2実施形態における半導体装置の実装構造の要部の断面図。

【図8】従来の半導体装置の実装構造の一例の断面図。

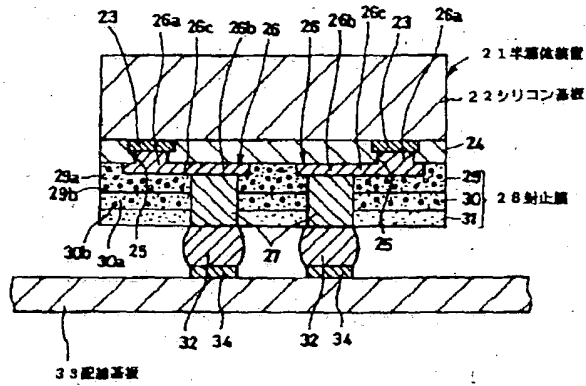
【符号の説明】

- 21 半導体装置
- 22 シリコン基板
- 23 接続パッド
- 24 絶縁膜
- 25 開口部
- 26 配線
- 27 柱状電極
- 28 封止膜
- 29 下側封止膜
- 29a エポキシ樹脂
- 29b シリカ粒子
- 30 中間封止膜
- 30a エポキシ樹脂

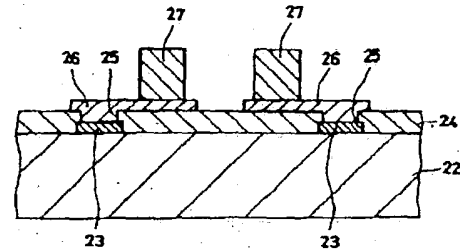
30b シリカ粒子
31 上側封止膜
32 半田パンパ

33 配線基板
34 接続パッド

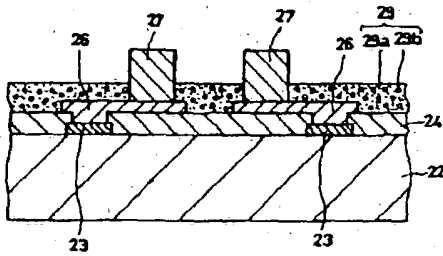
【図1】



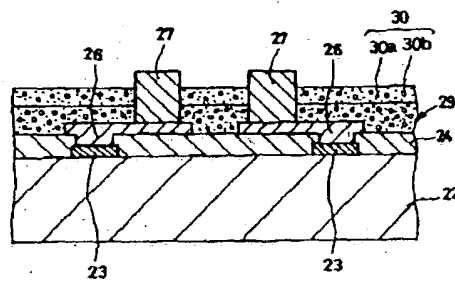
【図2】



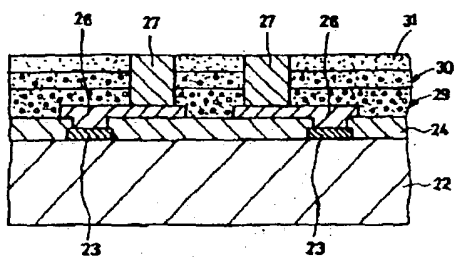
【図3】



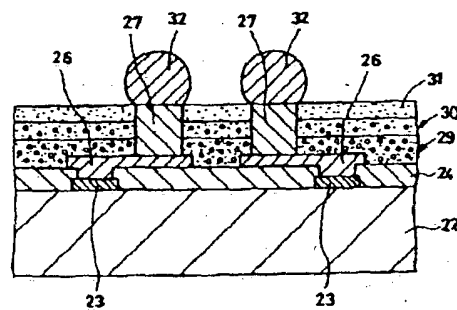
【図4】



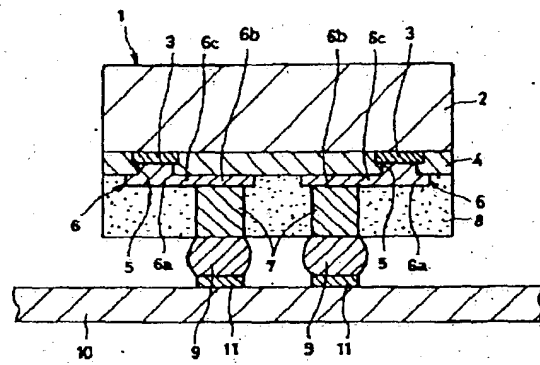
【図5】



【図6】



【図8】



F ターム(参考) 4M105 AA02 AA12 AA17 AA18 BB01
FF02 FF03 FF05 FF06
4M109 AA02 CA04 CA10 DA04 DA10
DB17 EA02 EB13 EB16 ED01
EE02